

Requested document:	<a href="#">JP4326565 click here to view the pdf document</a>
---------------------	---

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

Patent Number: JP4326565  
Publication date: 1992-11-16  
Inventor(s): WATANABE TAKESHI  
Applicant(s): NEC CORP  
Requested Patent: ☐ [JP4326565](#)  
Application Number: JP19910096017 19910426  
Priority Number(s):  
IPC Classification: H01L25/00; H01L27/04; H01L27/10  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To prevent the malfunction by the power noise of the inner circuit of an LSI chip, and make small the area of a ceramic board on which to load the LSI chip.  
**CONSTITUTION:** A chip capacitor 2 is connected between power wiring 12, which supplies the inner circuit of an LSI chip with power from outside, and earth wiring 13, which supplies it with grounding potential. The connection of the chip capacitor 2 is performed by opening the corresponding part of a cover film 14 covering the LSI chip 1. The LSI chip 1 is loaded on a ceramic board.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326565

(43) 公開日 平成4年(1992)11月16日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/00	B	7220-4M		
27/04	A	8427-4M		
27/10	3 0 1	8728-4M		

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号 特願平3-96017

(22) 出願日 平成3年(1991)4月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡邊 健

東京都港区芝五丁目7番1号日本電気株式会社内

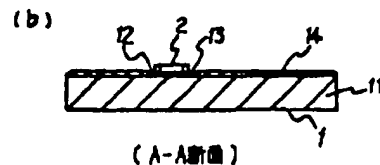
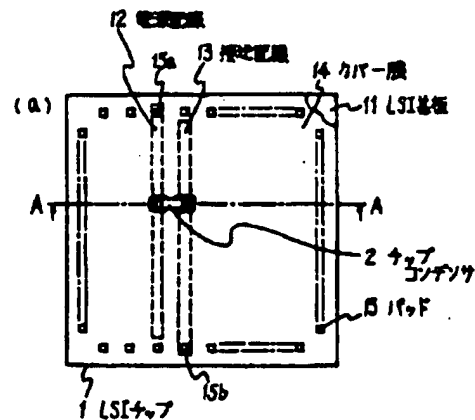
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 半導体集積回路装置

## (57) 【要約】

【目的】 L S Iチップの内部回路の電源ノイズによる誤動作を防止すると共に、L S Iチップを搭載するセラミック基板の面積を小さくする。

【構成】 L S Iチップ1の内部回路に外部からの電源を供給する電源配線12と接地電位を供給する接地配線13との間にチップコンデンサ2を接続する。チップコンデンサ2の接続は、L S Iチップ1上を覆っているカバー膜14の対応する部分を開口して行う。L S Iチップ1をセラミック基板に搭載する。



## 【特許請求の範囲】

【請求項1】 内部回路が形成されたLSI基板、このLSI基板上に形成され前記内部回路へ外部からの電源を供給するための電源配線及びこの電源配線と接続する電源用のパッド、並びに前記LSI基板上に形成され前記内部回路へ接地電位を供給するための接地配線及びこの接地配線と接続する接地用のパッドを備えたLSIチップと、このLSIチップ上に設けられ第1及び第2の電極を前記電源配線及び接地配線とそれぞれ対応して接続するチップコンデンサとを有することを特徴とする半導体集積回路装置。

【請求項2】 内部回路が形成されたLSI基板、このLSI基板上に形成され前記内部回路へ外部からの電源を供給するための電源配線及びこの電源配線と接続する電源用のパッド、前記LSI基板上に形成され前記内部回路へ接地電位を供給するための接地配線及びこの接地配線と接続する接地用のパッド、並びに前記LSI基板上に形成され前記電源配線及び接地配線とそれぞれ対応して接続する第1及び第2のコンデンサ接続用のパッドを備えたLSIチップと、このLSIチップ上に設けられ第1及び第2の電極を前記第1及び第2のコンデンサ接続用のパッドとそれぞれ対応して接続するチップコンデンサとを有することを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関する、特にLSIチップの内部回路への電源ノイズを低減する機能を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】 近年、コンピュータの性能はますます高速度のものが要求されて来っており、そのため、電子回路は高速度、高集積度のLSIチップ、及びLSIチップを高密度に実装したフラットパッケージ型の半導体集積回路装置が実現するに至っている。

【0003】 LSIチップは高速論理回路構成となっているため、これら回路の動作時にLSIチップの供給電源系にノイズが誘発され、内部回路に誤動作が発生しやすい。この電源ノイズを吸収、低減し、誤動作を防止する方法として、LSIチップが搭載されているセラミック基板上のLSIチップ近傍にコンデンサを搭載して実現していた。従来のこの種の半導体集積回路装置の一例を図5及び図6に示す。

【0004】 セラミック基板3は、周辺に設けられリード4を介して外部回路と接続するための複数の電極31と、LSI搭載部36と、このLSI搭載部36に設けられLSIチップの各電極とそれぞれ対応して接続するための複数のパッド33と、これらパッド33と対応する電極31とを接続する配線34及びスルーホール35と、配線34のうちの特定の配線、例えば電源配線及び

接地配線とスルーホール35を介して接続するパッド32とを備えた構造となっている。

【0005】 このセラミック基板3のLSI搭載部36にLSIチップ1dを搭載固着し、LSIチップ1dの各パッド15とLSI搭載部36に設けられた各パッド33とをボンディング線6によりそれぞれ対応して接続し、LSI搭載部36にキャップ7を被せ封止する。

【0006】 また電源配線及び接地配線と接続するパッド32には、チップコンデンサ5a、5bを接続する。このチップコンデンサ5a、5bにより、LSIチップ1dの内部回路に誘発される電源ノイズを吸収、低減し、内部回路の誤動作を防止する構成となっていた。

【0007】

【発明が解決しようとする課題】 この従来の半導体集積回路装置では、電源ノイズを吸収、低減し内部回路の誤動作を防止するためのチップコンデンサ5a、5bを、セラミック基板3上に搭載した構造となっているので、LSIチップ1d内の電源配線及び接地配線とチップコンデンサ5a、5bの距離が長くなるために電源ノイズの吸収、低減効果が充分得られないという問題点があった。また、セラミック基板3のサイズがチップコンデンサ5a、5bを搭載する分だけ大きくなるという欠点があった。

【0008】 本発明の目的は、電源ノイズの吸収、低減効果が十分得られて誤動作の発生を確実に防止し、しかもセラミック基板のサイズを小さくすることができる半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】 第1の発明の半導体集積回路装置は、内部回路が形成されたLSI基板、このLSI基板上に形成され前記内部回路へ外部からの電源を供給するための電源配線及びこの電源配線と接続する電源用のパッド、並びに前記LSI基板上に形成され前記内部回路へ接地電位を供給するための接地配線及びこの接地配線と接続する接地用のパッドを備えたLSIチップと、このLSIチップ上に設けられ第1及び第2の電極を前記電源配線及び接地配線とそれぞれ対応して接続するチップコンデンサとを有している。

【0010】 第2の発明の半導体集積回路装置は、内部回路が形成されたLSI基板、このLSI基板上に形成され前記内部回路へ外部からの電源を供給するための電源配線及びこの電源配線と接続する電源用のパッド、前記LSI基板上に形成され前記内部回路へ接地電位を供給するための接地配線及びこの接地配線と接続する接地用のパッド、並びに前記LSI基板上に形成され前記電源配線及び接地配線とそれぞれ対応して接続する第1及び第2のコンデンサ接続用のパッドを備えたLSIチップと、このLSIチップ上に設けられ第1及び第2の電極を前記第1及び第2のコンデンサ接続用のパッドとそれぞれ対応して接続するチップコンデンサとを有してい

る。

【0011】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0012】図1(a)、(b)はそれぞれ第1の発明の第1の実施例の、チップコンデンサを搭載したLSIチップの平面図及び断面図である。

【0013】この実施例は、内部回路が形成されたLSI基板11、このLSI基板11上に形成され前記内部回路へ電源を供給するための電源配線12及びこの電源配線12と接続する電源用のパッド15a、並びにLSI基板11上に形成され前記内部回路へ接地電位を供給するための接地配線13及びこの接地配線13と接続する接地用のパッド15bを備えたLSIチップ1上に、第1及び第2の電極を直接電源配線12及び接地配線13とそれぞれ対応して接続するチップコンデンサ2を設けた構造となっている。

【0014】なお、LSIチップ1には、上述のほか、信号線用のパッド15gが含まれており、電源配線12及び接地配線13上のチップコンデンサ2の各電極を接続する部分、パッド15、15a、15bの部分が露出するように、上面を覆ってポリイミド等によるカバー膜14が形成されている。

【0015】このチップコンデンサ2を搭載したLSIチップ1は、図5、図6に示された従来の半導体集積回路装置と同様の方法でセラミック基板に搭載される。

【0016】この際、電源ノイズを吸収、低減するためのコンデンサは、本発明においては、チップコンデンサ2としてLSIチップ1上に搭載されているので、従来のようにセラミック基板上に設ける必要がなく、セラミック基板の面積を小さくすることができる。また、チップコンデンサ2がLSIチップ1の内部回路に最も近接して設けられるので、電源ノイズの吸収、低減効果を最大にすることができ、内部回路の誤動作を確実に防止することができる。

【0017】図2(a)、(b)はそれぞれ第1の発明の第2の実施例の、チップコンデンサを搭載したLSIチップの平面図及び断面図である。

【0018】この実施例のLSIチップ1aには、電源配線12a、12b及び接地配線13a、13bが2つの層に形成されており、これら各層の電源配線-接地配線(12a-13a)、(12b-13b)間にチップコンデンサ2a、2bがそれぞれ対応して接続されている。

【0019】この実施例も第1の実施例と同様の効果がある。

【0020】図3は第2の発明の第1の実施例の、チップコンデンサを搭載したLSIチップの斜視図である。

【0021】この実施例は、内部回路が形成されたLSI基板11b、このLSI基板11b上に形成され前記

内部回路へ外部からの電源を供給するための電源配線12c及びこの電源配線12cと接続する電源用のパッド15e、LSI基板11b上に形成され前記内部回路へ接地電位を供給するための接地配線13c及びこの接地配線13cと接続する接地用のパッド15f、並びにLSI基板11b上に形成され電源配線12c-接地配線13cとそれぞれ対応して接続する第1及び第2のコンデンサ接続用のパッド15g、15hを備えたLSIチップ1b上に、第1及び第2の電極を第1及び第2のコンデンサ接続用のパッド15g、15hとそれぞれ対応して接続するチップコンデンサ2cを設けた構造となっている。なお、カバー膜は省略してある。

【0022】この実施例においては、第1の発明と同様の効果があるほか、チップコンデンサ2cの搭載位置を任意に選定できるという利点がある。

【0023】図4は第2の発明の第2の実施例の、チップコンデンサを搭載したLSIチップの斜視図である。

【0024】この実施例のLSIチップ1cには、外部からの電源が3系統に分割されて供給されており、これら3系統の各電源配線-接地配線間にそれぞれ対応してチップコンデンサ2d、2e、2fを設けたものである。

【0025】この実施例においても図3に示された実施例と同様の効果及び利点がある。

【0026】

【発明の効果】以上説明したように本発明は、LSIチップ上の電源配線及び接地配線間に、直接またはパッドを介してチップコンデンサを接続する構造とすることにより、このLSIチップを搭載するセラミック基板に電源ノイズを吸収、低減するためのコンデンサを設ける必要がないのでセラミック基板の面積を小さくすることができ、しかもこのコンデンサをLSIチップの内部回路に最も近接して設けられるので、内部回路の誤動作を確実に防止することができる効果がある。

【図面の簡単な説明】

【図1】第1の発明の第1の実施例の、チップコンデンサを搭載したLSIチップの平面図及び断面図である。

【図2】第1の発明の第2の実施例の、チップコンデンサを搭載したLSIチップの平面図及び断面図である。

【図3】第2の発明の第1の実施例の、チップコンデンサを搭載したLSIチップの斜視図である。

【図4】第2の発明の第2の実施例の、チップコンデンサを搭載したLSIチップの斜視図である。

【図5】従来の半導体集積回路装置の一例を示す平面図である。

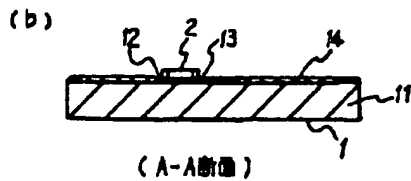
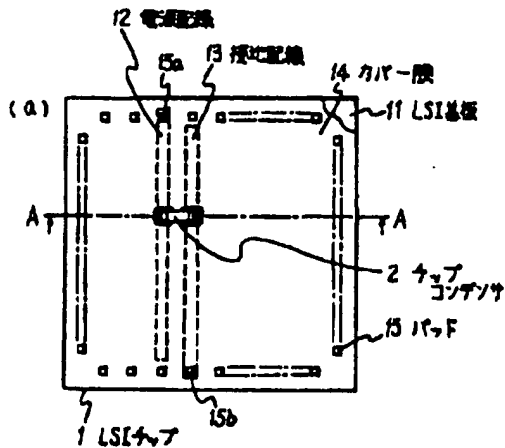
【図6】図5に示された半導体集積回路装置の断面図である。

【符号の説明】

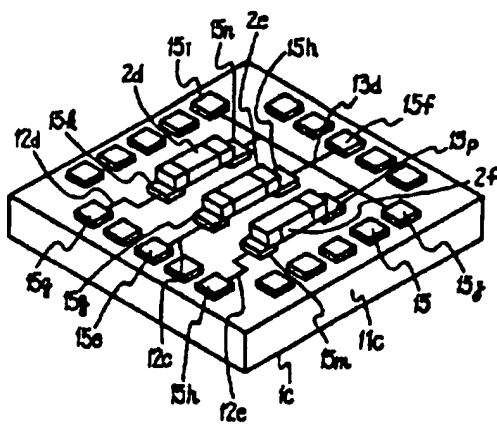
1、1a~1d LSIチップ  
2、2a~2f チップコンデンサ

- 5  
3 セラミック基板  
4 リード  
5a, 5b チップコンデンサ  
6 ボンディング線  
7 キャップ  
11, 11a~11c LSI基板  
12, 12a~12e 電源配線  
13, 13a~13d 接地配線  
14, 14a カバー膜

【図1】

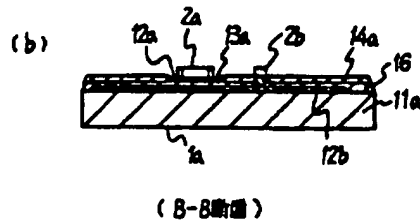
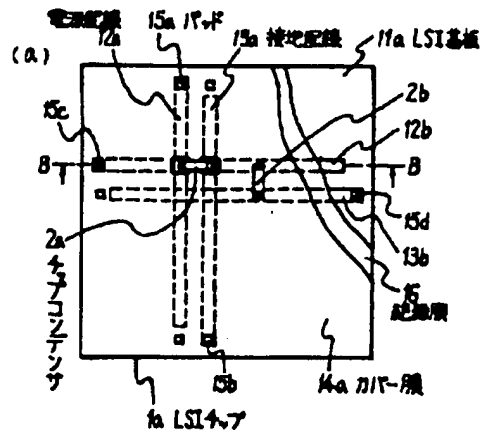


【図4】

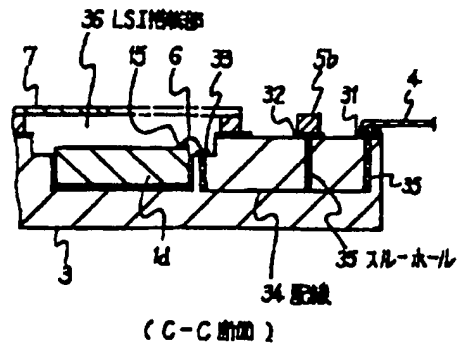


- 6  
15, 15a~15k, 15m, 15n, 15p パッド  
16 絶縁膜  
31 電極  
32, 33 パッド  
34 配線  
35 スルーホール  
36 LSI搭載部

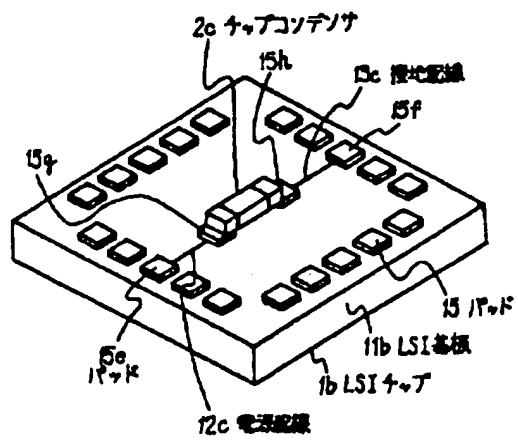
【図2】



【図6】



【図3】



【図5】

